

Auto-teste de sistemas electrónicos com BST

**José Silva Matos
José M. M. Ferreira
Filipe Sousa Pinto**

**Faculdade de Engenharia da Universidade do Porto, INESC
Largo Mompilher 22, 4000 Porto, Portugal
Tel.: +351 2 321006; Fax.: + 351 2 318692**

Sumário

A metodologia de teste *Boundary Scan* (BST) surgiu como resposta aos problemas colocados ao teste de cartas de circuito impresso contendo VLSIs e ASICs de grande complexidade e exibindo difícil acesso aos nós físicos da carta. Baseia-se na disponibilidade de circuitos integrados em que, células especiais associadas aos pinos de entrada e saída, realizam o equivalente a um "bed-of-nails" electrónico, facilitando o teste das interligações na carta, e o controlo de mecanismos de auto-teste disponíveis nos integrados. Este trabalho, depois de descrever sucintamente a metodologia, discute os aspectos essenciais associados com o teste de interligações, e apresenta a arquitectura de um processador dedicado para o auto-teste de cartas de circuito impresso equipadas com BST.

Abstract

Boundary-Scan Test (BST) appeared as an answer to the problems facing the test of printed circuit boards containing high-complexity VLSIs and ASICs, and exhibiting difficult access to internal, physical nodes. Its operation is based on the existence of ICs with special cells associated to the I/O pins, implementing the equivalent of an electronic bed-of-nails, which can be used to simplify the task of testing board level interconnections and triggering on-chip self-test mechanisms available. After briefly describing the methodology, the paper discusses the essential aspects associated with interconnect testing, and presents the architecture of a dedicated processor for the self-test of BST-equipped printed circuit boards.

1. Introdução

O contínuo aumento da dificuldade, e o conseqüente agravamento do custo associado ao teste de sistemas electrónicos tem fundamentalmente duas ordens de motivos. Por um lado, os avanços da tecnologia microelectrónica têm conduzido ao aparecimento de circuitos com muito alta densidade de integração, complexa funcionalidade, e elevado número de pinos. Por outro lado, a miniaturização permitida por novas técnicas de encapsulamento e de montagem em superfície tem permitido o desenvolvimento de cartas de circuito impresso de grande complexidade, em que é fortemente limitado o acesso físico a nós internos da carta.

As técnicas tradicionais de teste de cartas de circuito impresso baseiam-se em métodos em que o funcionamento do circuito é testado a partir dos conectores da carta (teste funcional), ou no contacto directo com os nós físicos do circuito (teste "in-circuit"). Uma e outra encontram dificuldades crescentes com as novas gerações de cartas. O teste funcional é limitado pela complexidade dos dispositivos, tornando o desenvolvimento de programas de teste extremamente moroso e complicado. O teste "in-circuit" confronta-se com o cada vez mais difícil acesso aos nós do circuito, exigindo componentes mecânicos (matrizes de agulhas, ou "bed-of-nails") de reduzidas dimensões, grande susceptibilidade a avarias, e elevado custo.

O "Boundary Scan Test" (BST) surge como uma resposta a este tipo de problemas, oferecendo o equivalente a uma matriz de agulhas electrónica que permite acesso sem contacto mecânico a nós do circuito impresso, garantindo completa controlabilidade e observabilidade, sem os efeitos de "backdriving" característicos do teste "in-circuit". Baseia-se na disponibilidade de circuitos integrados em que existem células especiais associadas a cada pino funcional, que permitem observar e controlar o valor lógico presente no correspondente nó físico do circuito impresso. Essas células são ligadas como um registo de deslocamento que percorre a periferia dos circuitos integrados (cadeia BS), e que permite capturar e forçar valores lógicos em nós físicos do sistema.

Em cada circuito, para além das células periféricas (células BS), existe um controlador dedicado, o "Test Access Port (TAP) controller". Um total de 4 (ou 5) pinos são utilizados para aceder à infraestrutura BST. Dois, são a entrada (TDI) e a saída (TDO) da cadeia BS, ligadas em "daisy-chain" de circuito para circuito. Os restantes são o relógio de teste (TCK), um sinal de comando série do controlador (TMS), e opcionalmente um pino de "reset".

A infraestrutura BST permite dois modos de funcionamento principais, designados por modos interno e externo. O modo interno permite que os valores previamente inseridos na cadeia BS sejam aplicados ao interior dos circuitos integrados, e capturadas as respostas correspondentes. Este modo assim descrito não é de grande interesse para o teste de circuitos integrados na carta, devido à inerente lentidão do processo de sequenciamento dos vectores de teste. No entanto, e para os circuitos integrados que

dispuserem de auto-teste, a infraestrutura BST constitui um meio eficaz para aceder a estas funções, conforme será descrito mais adiante.

O modo externo permite realizar o teste de interligações na carta, através da colocação de valores nas células associadas a pinos de saída, sua aplicação às interligações de circuito impresso, e captura dos valores resultantes nas células BS associadas a pinos de entrada. É possível assim testar curto-circuitos e contactos interrompidos, falhas que constituem uma percentagem considerável das avarias mais frequentes.

Este trabalho começa por descrever sucintamente a metodologia BST, e os cenários de teste em que pode ser utilizada. O teste de interligações é objecto da secção 3, que apresenta os problemas fundamentais, e refere algoritmos de geração de testes para a detecção e diagnóstico de avarias. O modo de utilização da infraestrutura BST para o comando de funções de auto-teste disponíveis em circuitos integrados é descrito na secção 4. A secção 5 aborda a extensão do conceito de auto-teste à carta de circuito impresso, e discute as suas implicações ao nível do sistema. A arquitectura de um processador dedicado para o auto-teste de cartas de circuito impresso com BST é descrita nesta secção. Finalmente, a última secção apresenta as conclusões desta comunicação.

2. O "Boundary Scan Test"

A infraestrutura BST apresenta características que evidenciam o facto de esta metodologia ter sido concebida para ultrapassar os problemas enfrentados pelos equipamentos de teste de cartas de circuito impresso. A funcionalidade das células BS foi definida de modo a permitir o teste das interligações da carta de circuito impresso (curto-circuitos, contactos interrompidos) sem requerer acesso físico aos nós a testar, e de modo a eliminar a ocorrência de "backdriving", quando se força o valor lógico em qualquer destes nós.

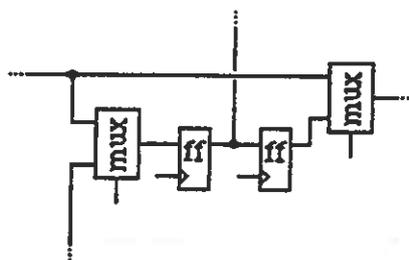


Fig.1: Implementação possível para uma célula BS.

A implementação ilustrada na figura 1 permite atingir ambos estes objectivos, e tanto pode ser associada a pinos de entrada como a pinos de saída. Quando em modo transparente (multiplexer de saída a

seleccionar a entrada superior), o único efeito destas células consiste num pequeno aumento do tempo de propagação (tipicamente inferior a 1 ns).

A realização de testes através da infraestrutura BST inicia-se com o deslocamento dos estímulos a aplicar, a que se segue a sua imposição à entrada dos elementos a testar. A captura da resposta a estes estímulos é feita imediatamente antes de se iniciar a operação de deslocamento seguinte, de modo que a extracção de resultados, e a inserção de novos estímulos, são feitas em simultâneo. O número de vezes que este ciclo se repete é imposto pelo número de estímulos a aplicar.

Apesar de o aparecimento de BST em circuitos integrados da gama comercial ter sido facilitado pela sua aprovação como norma IEEE [IEEE90], e de existir já um elevado número de sistemas de projecto de ASICs que dispõem de bibliotecas de células para a inclusão de BST, a verdade é que o aparecimento de cartas de circuito impresso em que a totalidade dos componentes disponha desta facilidade vai demorar ainda algum tempo. Enquanto não se generalizarem as condições que conduzam a esta situação, assistir-se-à à coexistência de blocos de lógica com e sem BST. O teste de cartas de circuito impresso em que se verifique uma implementação parcial de BST poderá ser feito através de procedimentos que integram a infraestrutura BST com equipamentos de teste adicionais [Robi90]. Apesar de estas implementações continuarem a requerer recursos de teste adicionais, a redução que se consegue para a razão entre o número de pontos de contacto e número de pontos de teste, é só por si uma vantagem que permitirá atenuar significativamente os problemas que levaram ao aparecimento do BST.

3. O teste de interligações

O teste das interligações da carta de circuito impresso constituiu um dos objectivos principais que conduziram ao desenvolvimento do BST, e visa essencialmente a detecção de curto-circuitos e de contactos interrompidos.

A realização de testes através da infraestrutura BST tem o inconveniente de necessitar que a carta esteja alimentada. A eventualidade de serem danificadas as saídas em curto-circuito torna deste modo desejável que o tempo de aplicação destes estímulos seja reduzido, tornando obrigatória uma redução do seu número e uma escolha criteriosa dos vectores de teste a aplicar. Por outro lado, uma maior resolução no diagnóstico requer normalmente a aplicação de um maior número de vectores de teste, o que constitui um requisito que colide com o anterior. A necessidade de definir uma solução de compromisso entre a capacidade de diagnóstico proporcionada, e o número de vectores de teste a aplicar, levou ao desenvolvimento de vários algoritmos de geração de estímulos para o teste de interligações.

Se o objectivo consistir apenas em detectar a presença de curto-circuitos, um procedimento de pesquisa binária [Kaut74] garante a geração do mínimo número de vectores de teste. Este algoritmo baseia-se na

partição sucessiva do conjunto de interligações a testar em duas metades, até que esta partição resulte em conjuntos singulares. Por cada partição é gerado um vector de teste, que permite detectar a ocorrência de um curto-circuito entre interligações pertencentes a conjuntos diferentes.

Apesar de o algoritmo da pesquisa binária conduzir ao menor conjunto de vectores que garante a detecção de qualquer curto-circuito, a sua capacidade de diagnóstico é pobre, permitindo a ocorrência de situações em que não é possível a identificação precisa dos defeitos em presença. O conjunto de respostas apresentadas na tabela 1 é ilustrativo desta situação, e permite exemplificar os dois tipos de ambiguidade que afectam a capacidade de diagnóstico de qualquer algoritmo.

Interligação	Vectores	Respostas
1	0000	0000
2	0001	0001
3	0010	0010
4	0011	0001 <
5	0100	0100
6	0101	0100 <
7	0110	0100 <
8	0111	0100 <
9	1000	1000
10	1001	0001 <
11	1010	1010
12	1011	1011

Tabela 1: Vectores e respostas, de acordo com o algoritmo da pesquisa binária.

No primeiro caso, e atendendo a que a resposta das interligações (4,10) coincide com a resposta correcta da interligação (2), não é possível determinar se esta última está ou não curto-circuitada com as restantes. Este efeito designa-se habitualmente por síndrome do tipo "aliasing" [Jarw89], e a sua ocorrência pode ser evitada através de um aumento pouco significativo do número de vectores de teste a aplicar [Wagn87] [Chen90].

A segunda situação de ambiguidade é ilustrada pela resposta comum das interligações (5,6,7,8). Esta situação não permite distinguir se todas elas estão curto-circuitadas entre si, ou se estaremos antes na presença de dois curto-circuitos independentes, que envolvam as interligações (5,8) e (6,7). Este efeito designa-se habitualmente por síndrome do tipo "confounding" [Jarw89], e a sua eliminação requer um aumento muito significativo no número de vectores de teste a aplicar [Hass88].

Um tipo diferente de algoritmo baseia-se na aplicação de um primeiro conjunto com o número mínimo de vectores de teste que garanta a detecção completa de curto-circuitos, reservando para um segundo passo o esclarecimento das ambiguidades que se constatarem existir. Estes algoritmos recebem habitualmente a designação de algoritmos adaptativos [Goel82] [Yau89] [Chen90], e permitem a eliminação de quaisquer

ambiguidades no diagnóstico com um número mínimo de vectores, embora à custa de um segundo conjunto de vectores, cuja geração é condicionada pelas conclusões da análise às respostas do primeiro conjunto. Este procedimento poderá ser optimizado se o primeiro conjunto de vectores tiver sido gerado por um algoritmo em que a probabilidade de ocorrência de ambiguidades seja reduzida, e se o segundo conjunto de vectores resultar num compromisso entre o detalhe da análise das respostas, e o número de vectores a gerar [Ferr91].

4. O auto-teste de circuitos integrados

O teste de componentes constitui a etapa complementar ao teste de interligações, para garantir a operacionalidade de uma carta de circuito impresso. Embora o processo descrito para o teste de interligações (deslocamento sucessivo de vectores e respostas) permitisse igualmente testar circuitos integrados, a serialização e o elevado número de vectores que poderão ser necessários tornam este procedimento inaceitavelmente moroso.

Os problemas levantados pelo teste de componentes VLSI obrigaram já os fabricantes à inclusão de blocos ou funções destinados a melhorar aspectos de testabilidade, que não são normalmente acessíveis ao utilizador. As razões para esta inacessibilidade prendem-se com questões de confidencialidade, mas também com a inexistência de uma norma que permita generalizar um protocolo para acesso às funções de auto-teste eventualmente disponíveis.

A existência da infraestrutura BST num circuito integrado veio modificar esta situação, por permitir um processo simples e eficaz para despoletar a sequência de auto-teste, e o transporte para o exterior do respectivo resultado [Maie90]. A esta facilidade de acesso acresce ainda a vantagem de não ser necessário o conhecimento de detalhes de implementação, o que preserva a confidencialidade do projecto. Ao fabricante basta estabelecer o interface adequado entre as funções de auto-teste, e a infraestrutura BST, e fornecer a indicação de quantos ciclos de relógio devem decorrer, até que termine o processo de auto-teste. Sob o ponto de vista do utilizador, o disparo das funções de auto-teste reduz-se a enviar a instrução correspondente para a infraestrutura BST dos componentes que disponham desta facilidade. Após um número de ciclos de relógio conhecido, as respostas estarão todas disponíveis, restando deslocá-las para o exterior.

5. O auto-teste de cartas de circuito impresso

O interface simples entre as funções de auto-teste existentes num circuito integrado, e a sua infraestrutura BST, veio permitir aos fabricantes um meio de tornar estas funções acessíveis ao utilizador, sem envolver

quebras de confidencialidade. A extensão para o auto-teste ao nível da carta de circuito impresso não apresenta diferenças de princípio, mas levanta questões específicas que devem ser consideradas.

A definição das características de um barramento ("bus") de teste ao nível do sistema é condicionada por dois aspectos principais: a necessidade de minimizar o número de linhas envolvidas, e a de permitir que a inclusão ou a remoção de cartas não afecte a testabilidade do sistema. O primeiro destes factores influencia o processo de comunicação, favorecendo a adopção de um protocolo de comunicação série, enquanto o segundo influencia a topologia da interligação, favorecendo uma topologia "multi-drop".

Embora a circulação de comandos e dados seja feita de forma série no BST, esta metodologia não é compatível com a interligação em barramento, já que a saída série de cada carta está sempre activa durante o deslocamento de valores ao longo da cadeia BS.

Estas limitações hierárquicas do BST restringem a sua aplicabilidade à escala do sistema, e contribuíram para incentivar o desenvolvimento de uma norma de testabilidade a este nível, que conduziu à proposta do "MTM-bus" [MTM90] (barramento de teste e manutenção). O "MTM-bus" encontra-se actualmente na sua fase final de desenvolvimento, devendo a sua proposta como norma IEEE (1149.5) ser levada à comunidade de teste ainda no decorrer do ano de 1991.

O bloco responsável por disparar e controlar o processo de auto-teste da carta de circuito impresso pode ser encarado como um processador dedicado [Jarw91], que deverá também responsabilizar-se pela gestão do interface com o barramento de teste ao nível do sistema. Atendendo no entanto à relativa incerteza que caracteriza as especificações actualmente disponíveis neste domínio, a descrição da funcionalidade deste processador concentrar-se-á na definição dos procedimentos elementares que permitem construir uma sequência de teste através da infraestrutura BST, e na descrição de uma arquitectura mínima que permita implementar estes procedimentos.

Os procedimentos elementares que permitem a gestão do teste através da infraestrutura BST definem o conjunto de instruções suportadas pelo processador desenvolvido, e enquadram-se em três grupos: controlo dos recursos internos do processador, controlo da infraestrutura BST, e sincronização desta infraestrutura com equipamento de teste exterior. O sincronismo com equipamentos exteriores toma-se necessário para o teste de interligações que envolvam entradas ou saídas primárias (não associadas a pinos com BST), ou para o teste de agrupamentos de lógica não BST. A tabela 2 descreve a relação entre estes procedimentos elementares e o conjunto de instruções implementadas, de acordo com a divisão nos três grupos referidos.

Uma vez caracterizado o conjunto de procedimentos necessários para permitir o teste de uma carta de circuito impresso através da infraestrutura BST, tomou-se fácil definir uma arquitectura mínima que garanta a implementação destes procedimentos. Esta arquitectura está ilustrada na figura 2, e serviu como

ponto de partida para o desenvolvimento de um processador que torna possível a função de auto-teste ao nível da carta de circuito impresso.

Controlo dos recursos internos do processador	
Procedimento	Instrução
Permite abandonar a sequência normal de teste, quando detecta um defeito.	JPERR #ADDRESS
Carrega um contador com o número de ciclos de relógio a fornecer.	LD CNT, #DATA
Pára a sequência de teste, incondicionalmente.	HALT
Controlo da infraestrutura BST	
Procedimento	Instrução
Comanda a transição de estados do controlador do TAP de cada circuito integrado.	TMS #VALUE
Fornece o número de ciclos de relógio indicado pelo contador interno do processador.	TCK
Impõe o deslocamento de valores para o interior da cadeia BS, sem analisar os valores que são deslocados para o exterior.	SHIFT
Impõe o deslocamento de valores para o interior da cadeia BS, e compara os valores deslocados para o exterior, com os valores esperados.	SHIFTCOMP
Sincronização da infraestrutura BST com o exterior	
Procedimento	Instrução
Força um dado valor na saída de sincronismo com o exterior.	SETSYNC #VALUE
Espera que um dado valor surja na entrada de sincronismo com o exterior.	WAITSYNC #VALUE

Tabela 2: Relação entre os procedimentos elementares necessários, e as instruções implementadas no processador desenvolvido.

A arquitectura assim descrita pode ser usada com qualquer carta de circuito impresso. A definição dos procedimentos específicos para o teste de cada carta é feita através de um conjunto de instruções que é compilado a partir da descrição das interligações existentes na carta ("netlist"), e de um conjunto de ficheiros que caracterizam a infraestrutura BST de cada componente. Estas instruções geram um código objecto que é armazenado numa memória do tipo ROM, acedida pelo processador durante a execução do auto-teste.

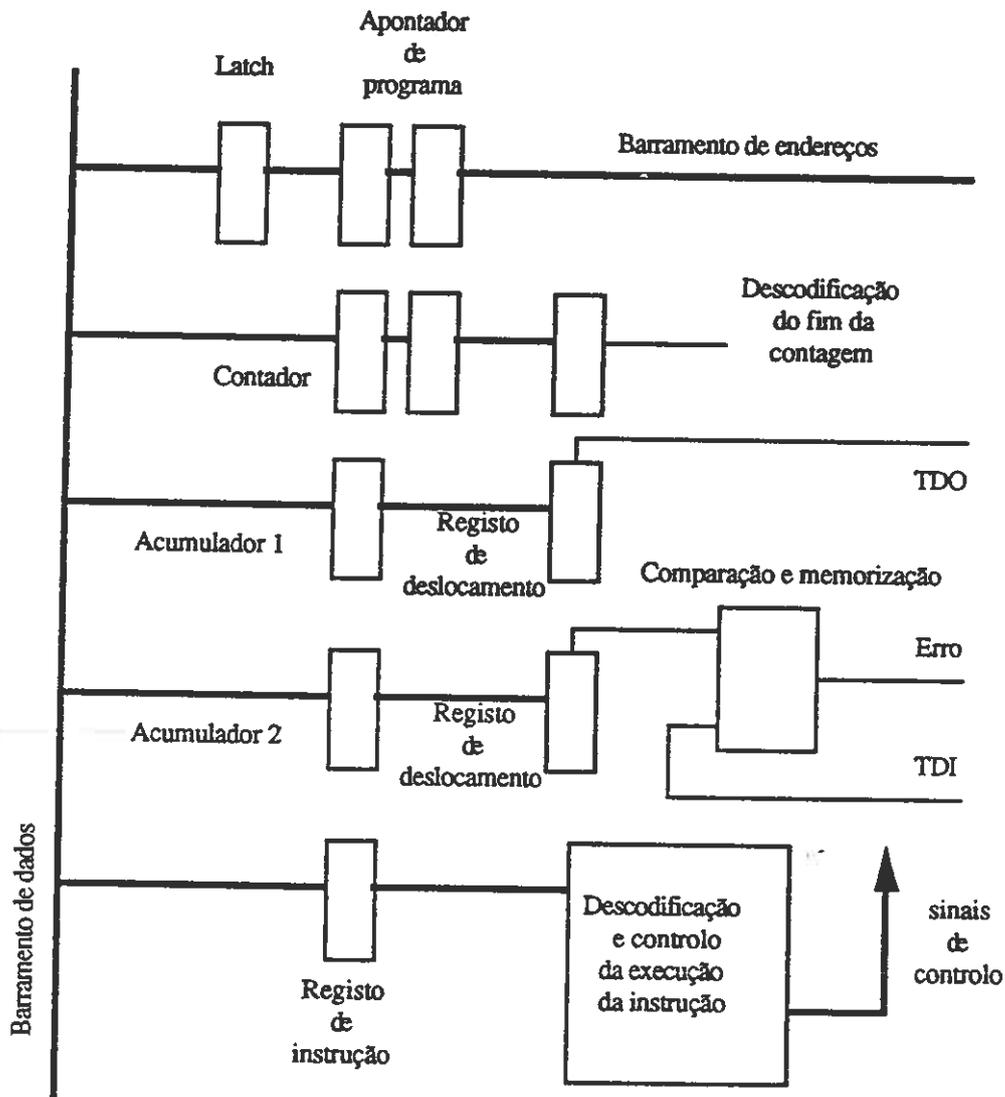


Fig.2: Arquitectura mínima para implementar os procedimentos definidos na tabela 2.

6. Conclusões

Enquanto a generalização de ferramentas e componentes não tiver lugar, verificar-se-à a existência de cartas de circuito impresso com implementações parciais de BST. No entanto, a possibilidade de utilizar a infraestrutura BST como uma matriz de agulhas electrónica permitirá reduzir de forma drástica o número de contactos físicos necessários, face ao número de pontos de teste pretendidos.

A utilização do BST como uma metodologia hierárquica no teste de sistemas electrónicos apresenta restrições que resultam de esta metodologia ter sido concebida tendo por alvo a carta de circuito impresso, e que levarão certamente à sua coexistência com uma outra norma para a testabilidade ao nível do sistema.

Esta situação não está ainda completamente definida, mas deve desde início ser levada em conta ao considerar soluções para o auto-teste de cartas de circuito impresso com BST.

Um processador dedicado para o auto-teste de cartas de circuito impresso, é responsável pelo controlo do auto-teste dos circuitos integrados que o possuam, e pela aplicação dos vectores de teste de interligações. Utiliza um programa de teste desenvolvido para a carta a testar por uma ferramenta de ATPG, a partir da lista de ligações e das especificações dos componentes que a constituem. A arquitectura mínima de um processador destinado a este fim foi descrita. Uma primeira versão deste processador foi desenvolvida e fabricada em tecnologia CMOS (1.5 μm).

7. Referências

- [Chen90] W. Cheng, J. Lewandowski, E. Wu, "Diagnosis for wiring interconnects", 21st ITC, 1990, pp.565-571
- [Ferr91] José M. M. Ferreira, José S. Matos, F. Jong, R. G. Bennetts, "A new algorithm for diagnosing interconnect faults on Boundary Scan boards", (poster), 2nd European Test Conference, 1991
- [Goel82] P. Goel, M. McMahon, "Electronic chip-in-place test", 13th ITC, 1982, pp.83-90
- [Hass88] A. Hassan, J. Rajski, V. Agarwal, "Testing and diagnosis of interconnects using boundary scan architecture", 19th ITC, 1988, pp.126-137
- [IEEE90] The Institute of Electrical and Electronics Engineering, "Standard test access port and boundary scan architecture", IEEE Standard 1149.1, May 1990
- [Jarw89] N. Jarwala, C. Yau, "A new framework for analyzing test generation and diagnosis algorithms for wiring interconnects", 20th ITC, 1989, pp.63-70
- [Jarw91] N. Jarwala, C. Yau, "The Boundary-Scan Master: Architecture and Implementation", 2nd ETC, 1991
- [Kaut74] W. Kautz, "Testing for faults in wiring networks", IEEE Transactions on Computers, Vol.C-23, Nº4, April 1974, pp.358-363
- [Maie90] Johann Maierhofer, "Hierarchical Self-Test Concept based on the JTAG Standard", 21st ITC, 1990, pp.127-134
- [MTM90] Test Technology Technical Committee of the IEEE Computer Society, "Standard Backplane Module Test and Maintenance Bus Protocol" (draft 0.7), Dec.1990
- [Robi90] Gordon Robinson, John Deshayes, "Interconnect testing of boards with partial Boundary Scan", 21st ITC, 1990, pp.572-581
- [Wagn87] P. Wagner, "Interconnect testing with boundary scan", 18th ITC, 1987, pp.52-57
- [Yau89] C. Yau, N. Jarwala, "A unified theory for designing optimal test generation and diagnosis algorithms for board interconnects", 20th ITC, 1989, pp.71-77